

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
КРЕМЕНЧУЦЬКИЙ НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ
ІМЕНІ МИХАЙЛА ОСТРОГРАДСЬКОГО
НАВЧАЛЬНО-НАУКОВИЙ ІНСТИТУТ ЕЛЕКТРИЧНОЇ ІНЖЕНЕРІЇ
ТА ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ



МЕТОДИЧНІ ВКАЗІВКИ
ЩОДО ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ
З НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
«КОМП'ЮТЕРНА ЛОГІКА»
ДЛЯ СТУДЕНТІВ ДЕННОЇ ТА ЗАОЧНОЇ ФОРМ НАВЧАННЯ
ЗІ СПЕЦІАЛЬНОСТІ 123 – «КОМП'ЮТЕРНА ІНЖЕНЕРІЯ»
ОСВІТНЬОГО СТУПЕНЯ «БАКАЛАВР»
ЧАСТИНА 2

КРЕМЕНЧУК 2024

Методичні вказівки щодо виконання лабораторних робіт з навчальної дисципліни «Комп'ютерна логіка» для студентів денної та заочної форм навчання зі спеціальності 123 – «Комп'ютерна інженерія» освітнього ступеня «Бакалавр» (Частина 2)

Укладач: старш. викл. А. Л. Юдіна

Рецензент к. т. н., доц. В. Н. Сидоренко

Кафедра комп'ютерної інженерії та електроніки

Затверджено методичною радою Кременчуцького національного університету імені Михайла Остроградського

Протокол № 10 від 26.06.2024 року

Голова методичної ради



проф. В. В. Костін

ЗМІСТ

Вступ.....	4
Перелік лабораторних робіт.....	6
Лабораторна робота № 6. Проектування та дослідження тригерів на потенційних елементах.....	6
Лабораторна робота № 7. Проектування та дослідження регістрів.....	18
на потенційних елементах.....	18
лабораторна робота № 8. Проектування та дослідження лічильників на потенційних елементах.....	29
2. Критерії оцінювання знань студентів	43
Список літератури.....	45

ВСТУП

Дані методичні вказівки складено на основі робочої навчальної програми з дисципліни «Комп'ютерна логіка» для студентів усіх форм навчання зі спеціальності 123 – «Комп'ютерна інженерія».

Дисципліна «Комп'ютерна логіка» є базовою для студентів даної спеціальності, оскільки є підґрунтям для подальшого вивчення навчальних дисциплін «Архітектура та технології проектування комп'ютерних систем», «Комп'ютерна електроніка та схемотехніка» та «Периферійні пристрої».

Лабораторна робота є окремим видом навчальної роботи, метою якої є розширення, поглиблення й деталізація наукових знань, отриманих студентами на лекціях та в процесі самостійної роботи і спрямованих на підвищення рівня засвоєння навчального матеріалу. У лабораторних роботах розглядаються вузли і пристрої, що широко використовуються в цифрових обчислювальних машинах, їхнє призначення, принципи функціонування, методи синтезу функціональних схем. Розглянуті методи синтезу фундаментальні і не залежать від рівня технічної реалізації логічних елементів, на базі яких йде побудова логічних пристроїв. Перелік тем і зміст лабораторних робіт визначаються робочою навчальною програмою дисципліни, варіант обирається за номером у журналі групи. Під час виконання другої частини лабораторних робіт студенти одержують практичні навички проектування і синтезу комбінаційних схем і автоматів із пам'яттю і дослідження їхніх характеристик.

У результаті вивчення навчальної дисципліни, згідно з вимогами освітньо-професійної програми, здобувачі вищої освіти набувають таких **компетентностей:**

- ЗК 1. Здатність до абстрактного мислення, аналізу та синтезу
- ЗК 2. Здатність вчитися і оволодівати сучасними знаннями
- ЗК 3. Здатність застосовувати знання у практичних ситуаціях.
- ЗК 7. Вміння виявляти, ставити та вирішувати проблеми

ФК 5. Здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо.

ФК 11. Здатність оформляти отримані робочі результати у вигляді презентацій, науково-технічних звітів.

ФК 13. Здатність вирішувати проблеми у галузі комп'ютерних та інформаційних технологій, визначати обмеження цих технологій.

ФК 15. Здатність аргументувати вибір методів розв'язування спеціалізованих задач, критично оцінювати отримані результати, обґрунтовувати та захищати прийняті рішення

навички та уміння:

ПРН 1. Знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж

ПРН 7. Вміти розв'язувати задачі аналізу та синтезу засобів, характерних для спеціальності

ПРН 11. Вміти здійснювати пошук інформації в різних джерелах для розв'язання задач комп'ютерної інженерії.

ПРН 16. Вміти оцінювати отримані результати та аргументовано захищати прийняті рішення

ПЕРЕЛІК ЛАБОРАТОРНИХ РОБІТ
ЛАБОРАТОРНА РОБОТА № 6.
ПРОЕКТУВАННЯ ТА ДОСЛІДЖЕННЯ ТРИГЕРІВ НА
ПОТЕНЦІЙНИХ ЕЛЕМЕНТАХ

Мета: Вивчення принципів функціонування та схемних різновидів тригерів різних типів, оволодіння методами їх проектування у потенційній елементній базі.

Короткі теоретичні відомості

В схемах цифрової обчислювальної техніки в якості запам'ятовуючих елементів широко використовуються тригерні пристрої (*тригери*). Тригерна схема являє собою пристрій з двома стійкими станами, які мають запам'ятовуючий елемент (ЗЕ) (сам тригер), та схему керування (СК).

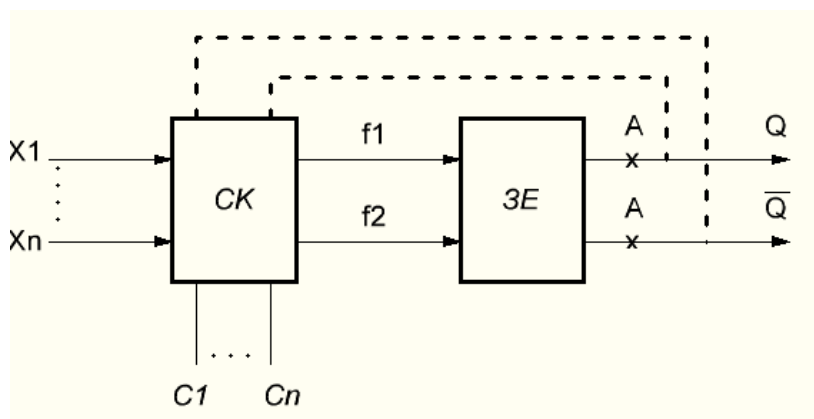


Рисунок 1.1 – Тригерна схема

На рис. 1 показана тригерна схема. На ній позначено:

X_1, \dots, X_n - інформаційні виходи;

C_1, \dots, C_n - тактуючі входи (можуть бути відсутні);

f_1 та f_2 - функції збудження ЗЕ;

Q та \bar{Q} - прямий та інверсний виходи.

Тригери класифікують по функціональним ознакам і способу запису інформації.

Запам'ятовуючий елемент (ЗЕ) можна побудувати на двох елементах «І-НІ» або двох елементах «АБО-НІ», об'єднаних за допомогою двох

зворотних зав'язків.

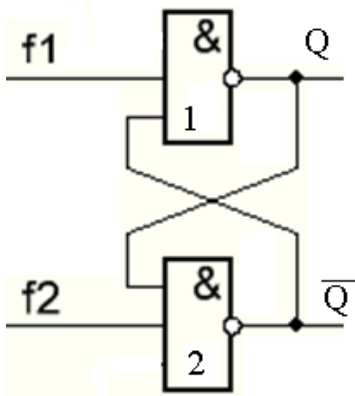


Рис. 1.2 – Структура тригерної ячійки I-III

Таблиця істинності тригерної ячійки «I-III»

f1	f2	Q ^t	Q ^{t+1}
0	0	0	*
0	0	1	*
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

Порядок переходів тригерної ячійки «I – III» на вентилях 1 і 2 (рис. 1.3) залежно від значень f_1 і f_2 можна зобразити у вигляді умовного представлення

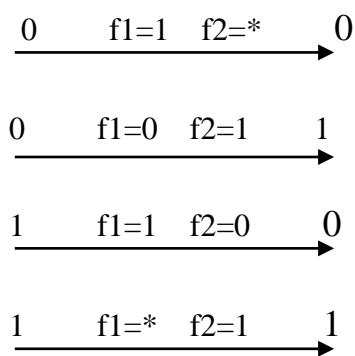


Рис. 1.3 – Порядок переходів тригерної ячійки «I–III»

Функціональна класифікація більш загальна і характеризує стан входів та виходів тригера в момент часу до його спрацювання та після нього. Наприклад, якщо тригер має один функціональний вхід (тобто можливі стани на вході $X =$

0 та $X = 1$ і на виході – 0, 1, Q,, а також один невизначений стан *), тоді можна отримати 25 функціональних типів тригерів. На практиці застосовується велика кількість типів тригерів. До них відносять RS-, D-, DV-, JK-, T-, E-, R-, S-тригери.

Правило функціонування тригерів може бути описане таблицею переходів. З таблиці переходів **RS-тригера** (табл. 1) виходить, що тригер не змінює свого стану в момент t^{S+1} ($Q^{S+1} = Q^S$), якщо в момент часу t^S має місце $R^S = 0, S^S = 0$. Якщо $R^S = 0, S^S = 1$ тригер встановлюється в стан одиниці $Q^{S+1} = 1$, а при комбінації $R^S = 1, S^S = 0$ – в нульовий стан $Q^{S+1} = 0$. При $R^S = S^S = 1$ стан тригеру не визначено ($Q^{S+1} = *$). Така комбінація сигналів для RS-тригера являється забороненою.

R-тригер відрізняється від RS-тригера тим, що при комбінації вхідних сигналів $R^S = S^S = 1$ він переходить в нульовий стан ($Q^{S+1} = 0$) (табл. 1.2). **S-тригер** (табл. 1.3) в цьому разі переходить у стан одиниці ($Q^{S+1} = 1$), а **E-тригер** (табл. 1.4) не змінює свого стану ($Q^{S+1} = Q^S$).

Таблиця 1.1

Переходи RS-тригера		
R^S	S^S	Q^{S+1}
0	0	Q^S
0	1	1
1	0	0
1	1	*

Таблиця 1.2

Переходи R-тригера		
R^S	S^S	Q^{S+1}
0	0	Q^S
0	1	1
1	0	0
1	1	0

Таблиця 1.3

Переходи S-тригера		
R^S	S^S	Q^{S+1}
0	0	Q^S
0	1	1
1	0	0
1	1	1

Таблиця 1.4

Переходи E-тригера		
R^S	S^S	Q^{S+1}
0	0	Q^S
0	1	1
1	0	0
1	1	Q^S

D-тригер також називають тригером затримки (табл. 5.5). Він затримує вхідний сигнал. Для такого тригера відповідає рівність ($Q^{S+1} = D^S$). **DV-тригер** відрізняється від D-тригера тим, що має додатковий вхід V. При $V = 1$ DV-тригер працює як D-тригер (табл. 5.6), а при $D = 0$ – не змінює свого значення (як при $D = 0$, так і при $D = 1$).

T-тригер також називають лічильним. Він підраховує, одиниці, що

поступають на вхід Т, по модулю 2, це видно з табл. 5.7.

Виходячи з таблиці переходів JK-тригера (табл. 5.8) при комбінації вхідних сигналів $J = K = 0$, $J = 0$ та $K = 1$, $J = 1$ та $K = 0$ він працює як RS-тригер (вхід J відповідає S, а K - входу R), а при $J = K = 1$ змінює свій стан на протилежний, тобто працює як лічильник (Т-тригер).

Таблиця 1.5

Переходи D-тригера		
C^S	D^S	Q^{S+1}
0	0	Q^S
0	1	Q^S
1	0	0
1	1	1

Таблиця 1.6

Переходи Т-тригера	
T	Q^{S+1}
0	Q^S
1	$\overline{Q^S}$

Таблиця 1.7

Переходи JK-тригера		
J^S	K^S	Q^{S+1}
0	0	Q^S
0	1	0
1	0	1
1	1	$\overline{Q^S}$

Класифікація тригерів по способу запису інформації характеризує хід процесу перемикавання тригера. Виходячи з цієї класифікації тригери поділяють на *синхронні* та *асинхронні*. Запис інформації в *асинхронних тригерах* здійснюється безпосередньо з надходженням інформаційних сигналів (такі тригери не мають тактуючих входів). *Синхронні тригери* мають тактуючі входи. Якщо число тактуючих входів дорівнює m , то формування нового стану тригера завершується після надходження m -го тактуючого сигналу. В наш час найбільш часто використовуються одноктактні тригери.

Розрізняють синхронні тригери, що керуються рівнем тактових сигналів, та тригери з внутрішньою затримкою.

Проектування тригерних пристроїв полягає у виборі ЗЕ (див. рис. 1.1) і синтезі СК, яка реалізує функції збудження f_1 і f_2 для ЗЕ в заданому елементному базисі.

Якщо в стовпці Q^{S+1} таблиці переходів проєктованого тригера є значення $\overline{Q^S}$ (див., наприклад, табл. 1.6 і 1.7), то сигнали на виходах Q і \overline{Q} тригерів є аргументами функцій f_1 і f_2 . Для забезпечення правильного перемикавання тригера в точках А (див. рис. 1 1) необхідно включити елементи затримки.

Аналогічна ситуація виникає у тому випадку, коли аргументами функцій f_1 і f_2 будуть сигнали на виходах Q і \bar{Q} інших тригерів, що перемикаються в процесі роботи одночасно з цим тригером. Наприклад, такими "залежними" є тригери в регістрах зсуву, лічильниках і так далі.

Проте при побудові тригерів на потенційних елементах не можуть бути використані елементи затримки, що містять реактивні компоненти, через складності виготовлення із стабільними характеристиками таких компонент в інтегральному виконанні. В цьому випадку застосовують два основні способи побудови тригерів з внутрішньою затримкою: по *MS - схемі* і за *схемою трьох тригерів*.

Приклади ров'язання завдань

Приклад 1. Побудувати та замалювати до звіту асинхронний тригер за заданою таблицею переходів 1.8 на елементах І-НІ

Таблиця 1.8

X	Y	Q^{t+1}
0	0	Q^t
0	1	0
1	0	*
1	1	1

Побудуємо розгорнуту таблицю істинності (табл. 1.9) розроблюваного тригера, виходячи з даних таблиці 1.8 та функцій переходу тригерної ячійки І-НІ (рис. 1.3).

Таблиця 1.9

X	Y	Q^s	Q^{s+1}	f_1	f_2
0	0	0	0	1	*
0	0	1	1	*	1
0	1	0	0	1	*
0	1	1	0	1	0
1	0	0	*	*	*
1	0	1	*	*	*
1	1	0	1	0	1
1	1	1	1	*	1

$$f_1 = \bar{X} \vee \bar{Y} = \overline{XY}$$

$$f_2 = X \vee \bar{Y} = \overline{\bar{X}Y}$$

За отриманими функціями можна побудувати комбінаційну схему і під'єднати її до схеми тригерної ячійки

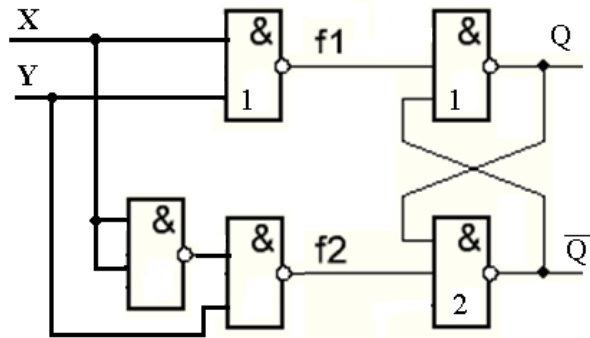


Рисунок 1.4 – Схема асинхронного тригера

Приклад 2. Побудувати та замалювати до звіту тригер з внутрішньою затримкою за заданою таблицею переходів 1.10 на елементах І-НІ по MS-схемі. Додатковими лініями на схемах показати, як будуються асинхронні входи тригерів R і S.

A	B	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

Оскільки в табл. 1.9 є значення Q^S , то тригер повинен мати внутрішню затримку. Вибираємо структуру тригера за MS-схемою. У даному випадку для побудови тригера використовують два ЗЕ: основний (М-ЗЕ; М-тригер) і допоміжний (S-ЗЕ, S-тригер). Структурна схема одноклапкового М-тригера показана на рис. 1.5

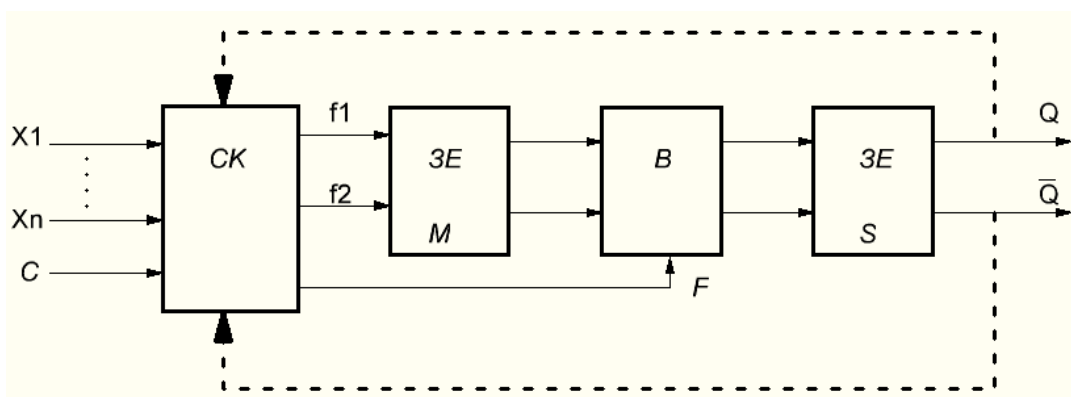


Рисунок 1.5 – Структура одноклапкового М-тригера

Запис інформації в М-тригері тактується сигналом С, а в S-тригер - сигналом F. Інформація із М-тригера в S-тригер передається через вентиль В. Обираємо MS-тригер з інвертором в ланцюзі С (альтернативою може бути MS-

тригери з забороненими зв'язками). Схему MS-тригера на елементах І – НІ показано на рис. 1.6.

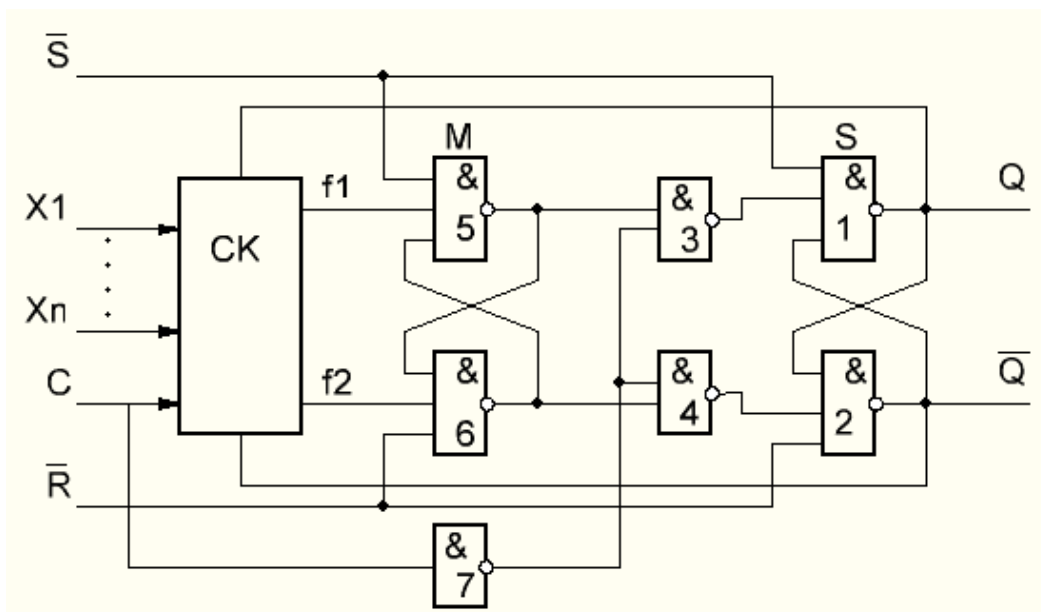


Рисунок 1.6 – Структура MS-тригера з інвертором в ланцюзі С

Перед синтезом СК необхідно визначити, при яких значеннях f_1 і f_2 ЗЕ, виходи якого є виходами Q і \bar{Q} тригера, здійснює певні переходи з одного стану в інший у момент спрацьовування тригера.

Порядок переходів тригерної ячійки «І – НІ» на вентилях 1 і 2 (рис. 2.3) залежно від значень f_1 і f_2 можна зобразити у вигляді умовного представлення (рис 2.4):

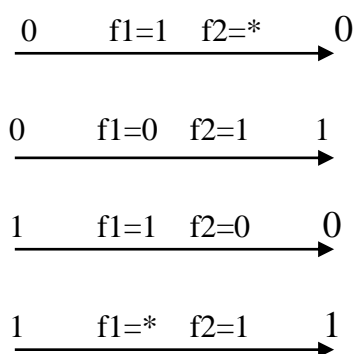


Рисунок 1.7 – Порядок переходів тригерної ячійки «І–НІ»

Знаком * відмічені довільні значення функцій f_1 і f_2 .

Для синтезу СК для даного тригера отримуємо повну таблицю переходів (табл. 1.10), побудовану відповідно до таблиці. 1.9, в якій відображуємо також

значення Q^S у момент часу t^S і значення C . На підставі визначеного раніше порядку переходів тригера на вентилях 1 і 2 заповнюємо в табл. 1.11 графі для f_1 і f_2 , аналізуючи переходи $Q^S \rightarrow Q^{S+1}$ в кожен рядок.

Таблиця 1.11

C	A	B	Q^S	Q^{S+1}	f_1	f_2
0	0	0	0	0	1	*
0	0	0	1	1	*	1
0	0	1	0	0	1	*
0	0	1	1	1	*	1
0	1	0	0	0	1	*
0	1	0	1	1	*	1
0	1	1	0	0	1	*
0	1	1	1	1	*	1
1	0	0	0	0	1	*
1	0	0	1	1	*	1
1	0	1	0	0	1	*
1	0	1	1	0	1	0
1	1	0	0	1	0	1
1	1	0	1	1	*	1
1	1	1	0	1	0	1
1	1	1	1	0	1	0

З повної таблиці переходів отримуємо вирази для f_1 і f_2 . Для цього за допомогою діаграм Вейча знаходимо МДНФ функцій f_1 і f_2 (індекси S при цьому опускаємо):

Приводимо отримані функції до виду, зручного для реалізації на елементах І – НІ. За отриманими виразами для f_1 та f_2 будемо СК і, відповідно, сам тригер. Отриману схему тригера показано на рис. 1.8. Даний тригер має асинхронні входи попередньої установки тригера в 0 (вхід R) і в 1 (вхід S). Сигнали, що поступають на ці входи, незалежно від стану інших входів тригера перемикають його в новий стан, тобто є пріоритетними по

відношенню до інших сигналів.

$f_1:$

C | _____

$f_2:$

	0	0	1	1
A	*	1	*	*
	*	1	*	*
	1	1	1	1
		B		

		C		
	1	1	*	*
A	1	0	1	1
	1	0	1	1
	*	*	*	*
		B		

$$f1 = \bar{C} \vee Q \vee \bar{A} = \overline{CQA}$$

$$f2 = \bar{C} \vee \bar{Q} \vee \bar{B} = \overline{CQB}$$

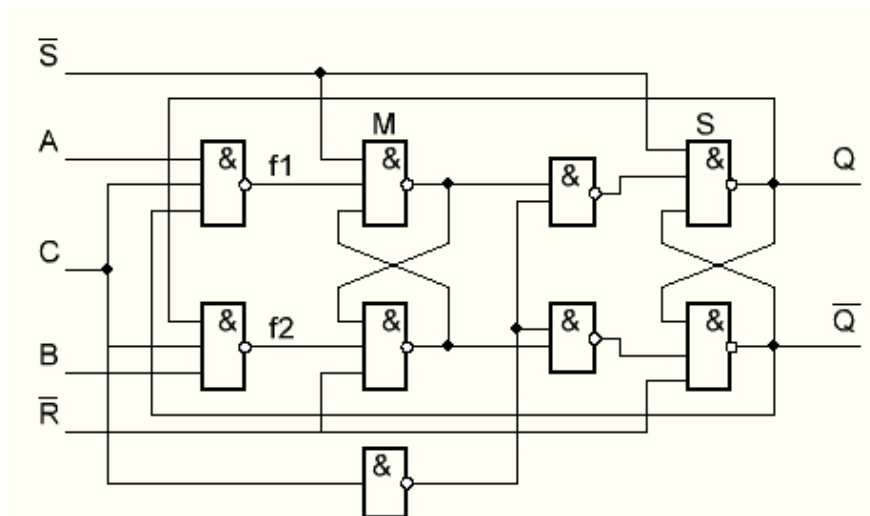


Рисунок 1.8 – Схема тригера

Приклад 3. Побудувати та замалювати до звіту тригер на елементах АБО –НІ, виконаний по схемі трьох тригерів згідно заданої таблиці переходів.

X1	X2	Q ^{t+1}
0	0	Q ^t
0	1	0
1	0	1
1	1	$\overline{Q^t}$

Тригерна ячейка «АБО – НІ» має наступні функції

переходу:

0	f1=* f2=0	0
0	f1=0 f2=1	1
1	f1=1 f2=0	0
1	f1=0 f2=*	1

Рисунок 1.9 – Порядок переходів тригерної ячейки «АБО – НІ»

Тригерний пристрій, побудований на елементах І – НІ по схемі трьох

тригерів, зображено на рис. 1.10.

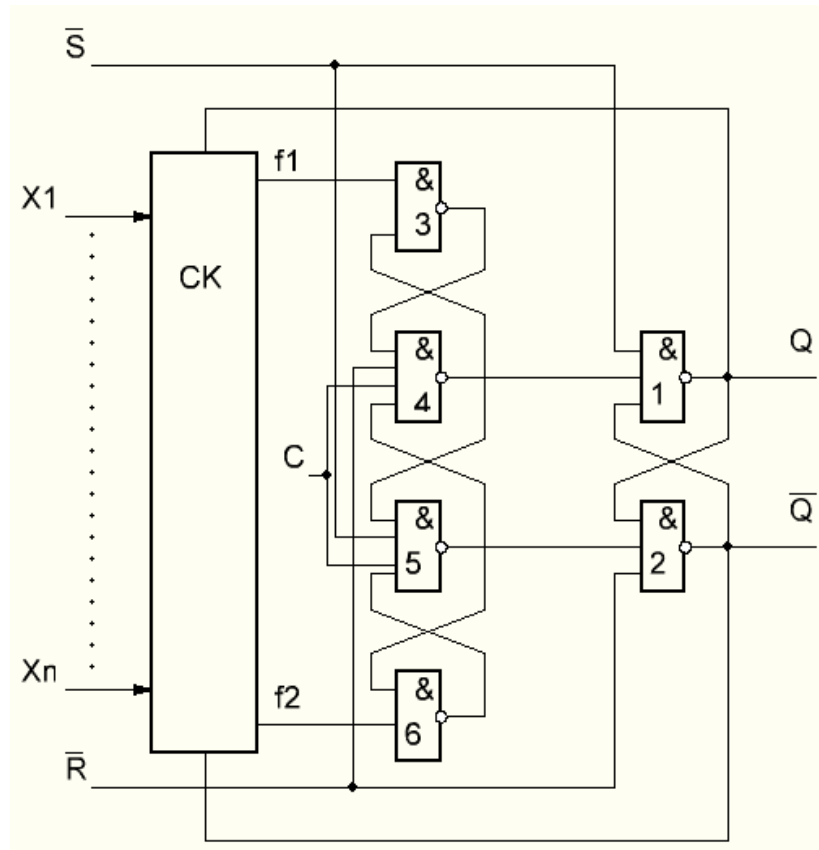


Рисунок 1.10 – Схема трьох тригерів

У даному тригері сигнали, що відповідають новому стану, встановлюються під час переходу тактуючого сигналу з 0 в 1. При $C = 0$ на виходах вентилів 4 і 5 є присутній сигнал логічної одиниці, тобто тригер на елементах 1 і 2 не змінює свого стану, а вентиля 3 і 6 виконують функцію інвертора.

Даний тригер може бути побудований і на елементах АБО – НІ, при цьому структура тригера зберігається, але змінюються асинхронні входи початкової установки.

Будуємо повну таблицю (табл 1.13) переходів для проєктованого тригера на елементах «АБО – НІ», використовуючи функції переходів тригерної ячійки «АБО – НІ» та дані вихідної таблиці 1.10. Потім мінімізуємо функції збудження на діаграмах Вейча, вважаючи $f1$ та $f2$ функціями змінних $C, X1, X2$. Оскільки потрібен базис «АБО – НІ» знаходимо МКНФ і переходимо до базису Пірса.

Таблиця 1.13

C	X1	X2	Q ^s	Q ^{s+1}	f1	f2
0	0	0	0	0	*	0
0	0	0	1	1	0	*
0	0	1	0	0	*	0
0	0	1	1	1	0	*
0	1	0	0	0	*	0
0	1	0	1	1	0	*
0	1	1	0	0	*	0
0	1	1	1	1	0	*
1	0	0	0	0	*	0
1	0	0	1	0	1	0
1	0	1	0	0	*	0
1	0	1	1	0	1	0
1	0	0	0	1	0	1
1	1	0	1	0	1	0
1	1	1	0	1	0	1
1	1	1	1	1	0	*

f2:

f1:

C			
0	0	*	*
1	0	0	0
1	1	0	0
*	*	*	*

X₁ | Q^t

C			
0	0	*	*
1	0	0	0
1	1	0	0
*	*	*	*

X₂ | Q^t

C			
1	1	0	0
0	*	*	*
0	0	*	*
0	0	0	0

X₁ | Q^t

C			
1	1	0	0
0	*	*	*
0	0	*	*
0	0	0	0

X₂ | Q^t

$$f1 = CQ(X1 \vee X2) = \overline{C} \vee \overline{Q} \vee (X1 \vee X2)$$

$$f2 = C\overline{Q}X1 = \overline{C} \vee Q \vee \overline{X1}$$

Схему тригера на элементах

«АБО – НІ» представлено на рис. 1.11

Завдання до теми

1. Згідно з номером варіанту побудувати асинхронний тригер на елементах АБО-НІ (табл. 1.14)
2. Згідно з номером варіанту побудувати синхронний тригер за MS-схемою на елементах І-НІ (табл. 1.14)

Таблиця 1.14

		Варіант															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
Завдання 1		E	JK	S	RS	E	R	S	RS	E	R	S	RS	E	R	S	RS
Завдання 2		T	JK	D	T	JK	D	T	JK	D	T	JK	D	T	JK	D	T

2. Згідно з номером варіанта обрати таблицю переходів тригера з табл. 3.3.

Згідно з заданою таблицею побудувати 2 тригери – за MS-схемою (для непарних варіантів елементи «І – НІ»), для парних варіантів – елементи «АБО – НІ») і за схемою трьох тригерів (для непарних варіантів елементи «АБО – НІ»), для парних варіантів – елементи «І – НІ»). Проектування виконати в унімодальному базисі. На схемі позначити асинхронні входи початкової установки тригера. Оцінити складність схеми за Квайном та глибину (табл. 1.15).

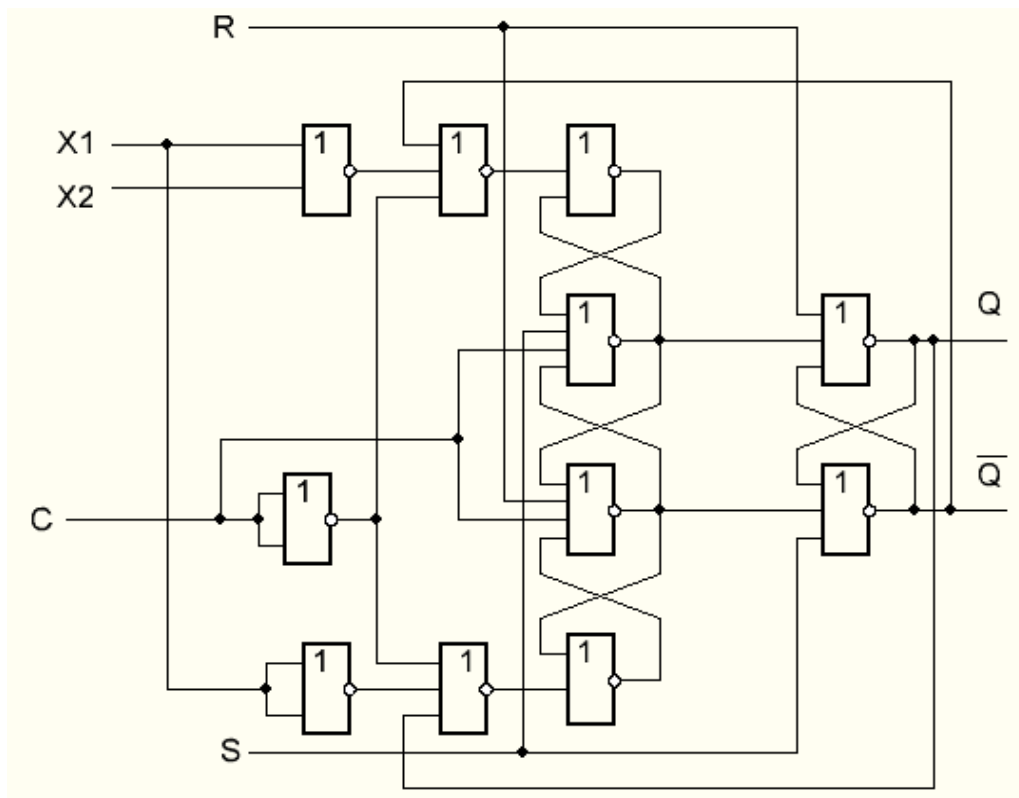


Рис. 1.11 – Схема тригера на елементах «АБО – НІ».

Таблиця 1.15

x_1^s	x_2^s	Q^{s+1}															
		Варіант															
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0	0	0	\bar{Q}^s	Q^s	1	1	\bar{Q}^s	Q^s	1	1	\bar{Q}^s	1	0	\bar{Q}^s	1	0	0
0	1	1	0	\bar{Q}^s	Q^s	0	1	\bar{Q}^s	Q^s	1	Q^s	\bar{Q}^s	0	0	\bar{Q}^s	1	1
1	0	Q^s	1	0	\bar{Q}^s	Q^s	0	1	\bar{Q}^s	\bar{Q}^s	0	Q^s	1	0	0	\bar{Q}^s	\bar{Q}^s

Контрольні питання

1. Таблиці переходів RS-, R-, S-, E-, D-, T-, DV-, JK- тригерів.
2. Принципи роботи синхронних та асинхронних тригерів, різниця між ними
3. Принципи роботи синхронних тригерів, які керуються рівнем тактуючого сигналу та синхронних тригерів з внутрішньою затримкою. Призначення кожного з вказаних типів тригерів.
4. Тригери, які виконані по MS- схемі та по схемі трьох тригерів.
5. Етапи проектування тригерних схем.
6. Основні часові характеристики тригерів.
7. Явище перегонів, їх сутність та умови появи. Методи усунення перегонів.
8. Сусіднє кодування.
9. Побудова T-тригера на основі RS-, D-, JK-тригерів.

ЛАБОРАТОРНА РОБОТА № 7

ПРОЕКТУВАННЯ ТА ДОСЛІДЖЕННЯ РЕГІСТРІВ НА ПОТЕНЦІЙНИХ ЕЛЕМЕНТАХ

Мета: Вивчення схемних різновидів регістрів, мікрооперацій, що виконуються на них, і опанування методами проектування регістрів.

Короткі теоретичні відомості

Регістром називається впорядкована послідовність запам'ятовуючих елементів (тригерів), яка призначена для зберігання слів та виконання мікрооперацій над ними.

Кількість розрядів у регістрі називають його довжиною. В n -розрядному регістрі може бути записано 2^n різних слів, тобто регістр може знаходитись у 2^n різних станах.

Найбільш часто на регістрах виконують наступні мікрооперації:

Y1 – установка вихідного стану (наприклад нульового);

Y2 – прийом (запис) слова;

Y3 – логічне множення 2-х слів (порозрядна кон'юнкція);

Y4 – логічна сума 2-х слів (порозрядна диз'юнкція);

Y5 – порозрядна сума слів по модулю 2;

Y6 – здви́г слова на i розрядів вліво;

Y7 – здви́г слова на i розрядів вправо;

Y8 – інвертування розрядів слова;

Y9 – видача слова у прямому коді.

Y10 – видача слова у зворотному коді.

Y11 – видача слова у парафазному коді.

Загальна логічна структурна схема регістра показана на мал. 2.1.

На схемі зображено: КС – комбінаційна схема; $Y_1 - Y_M$ – сигнали мікрооперацій; X_i – комбінаційні виходи регістра; А та В – інформаційні входи тригерів; С – тактуючі входи тригерів.

Складність КС залежить від виду мікрооперацій, що виконуються та від типу тригерів. Іноді КС можуть бути відсутні.

Регістри можуть бути збудовані на тригерах різних типів, наприклад, на RS-, JK-, D- та T-тригерах. В залежності від мікрооперацій, що виконуються, для збору регістрів можна використовувати тригери з різною внутрішньою організацією (синхронні та асинхронні, з внутрішньою затримкою та без і т.д.).

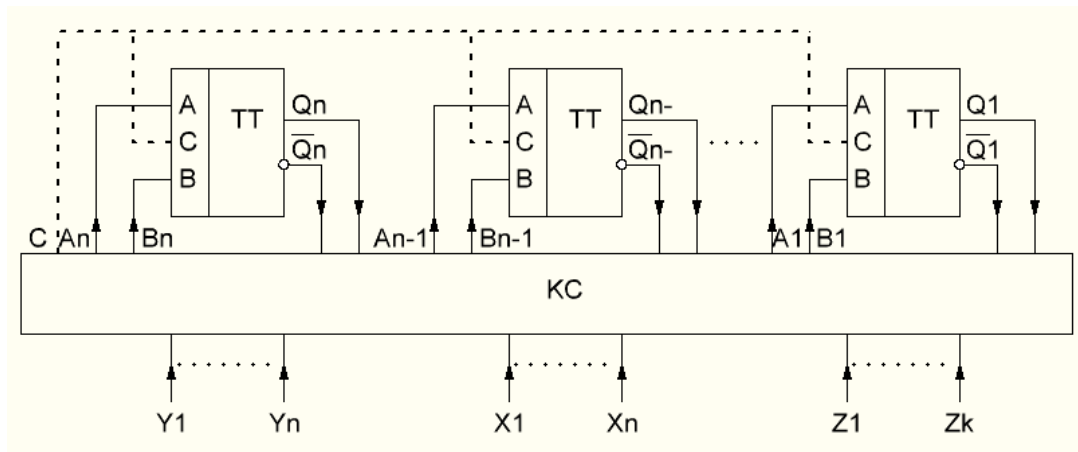


Рисунок 2.1 – Загальна структурна схема регістра

Регістри, на яких виконуються мікрооперації зсуву, називаються регістрами зсуву. Регістри, які мають ланцюги зсуву, як вліво так і вправо називаються *реверсивними*.

Зазвичай при виконанні мікрооперацій всі розряди регістру працюють однаково.

Мікрооперація Y_1 відповідає встановленню кожного розряду або в 0, або в 1. Для виконання цієї мікрооперації доцільно використовувати асинхронні входи R – та S – тригерів. При виконанні мікрооперації Y_2 в i -й розряд регістра записується цифра X_i , тобто(див мал. 2.1)

$$Q_i^{S+1} = X_i^S,$$

де Q_i^{S+1} – стан i -го тригера в $S+1$ -й момент часу (після виконання мікрооперацій); X_i^S – значення сигналу на i -му вході регістра в S - й момент часу (перед виконанням мікрооперації). Для мікрооперації Y_3 , Y_4 та Y_5 можна відповідно записати:

$$Q_i^{S+1} = Q_i^S \& X_i^S;$$

$$Q_i^{S+1} = Q_i^S \vee X_i^S;$$

$$Q_i^{S+1} = Q_i^S + X_i^S.$$

де Q_i^S – стан i -го тригера в S -й момент часу (перед виконання мікрооперацій). Мікрооперації Y_6 та Y_7 зсуву слова на j розрядів полягає в наступному:

$$Q_i^{S+1} = Q_{i-j}^S \text{ – при зсуві вліво;}$$

$$Q_i^{S+1} = Q_{i+j}^S \text{ – при зсуві вправо.}$$

При виконанні мікрооперації Y_8 здійснюється таке перетворення інформації в i -му розряді регістра:

$$Q_i^{S+1} = \overline{Q_i^S}.$$

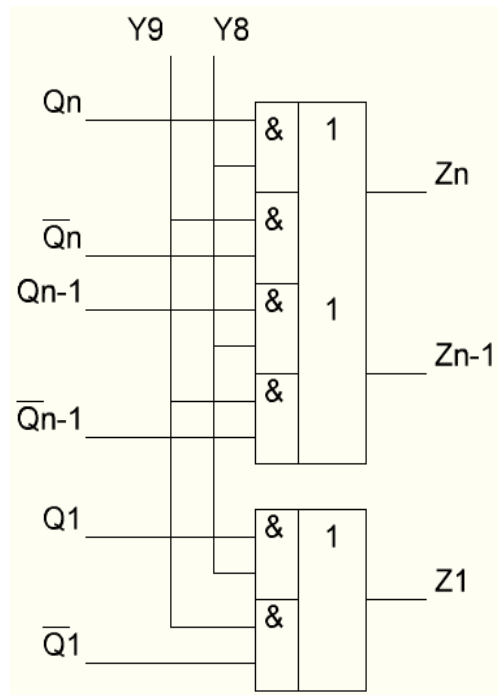


Рисунок 2.2 – КС для виконання мікрооперацій Y_9 , Y_{10}

В процесі виконання мікрооперацій Y_9 , Y_{10} і Y_{11} стан регістра не змінюється. Для видачі слова в прямому коді до виходів регістра слід підключити прямі виходи тригерів Q_i , в зворотному – інверсні виходи $\overline{Q_i^S}$, а в парафазному – і прямі і інверсні виходи. КС для виконання мікрооперацій Y_9 , Y_{10} показана на рис. 2.2.

Проектування регістрів зводиться до вибору типу тригерів і синтезу КС, що формує функції збудження тригерів при виконанні заданих мікрооперацій. Синтез КС, забезпечуючий виконання однієї мікрооперації, при використанні асинхронних тригерів для побудови регістра можна здійснити наступним чином:

- 1) Скласти таблицю переходів тригера з врахуванням рівнів, що забезпечують його перемикання;
- 2) Скласти таблицю переходів i -го розряду регістра при виконанні заданої мікрооперації, в якій для S -го моменту часу необхідно відобразити всі можливі комбінації значень аргументів функцій збудження тригера Y_i і Y_j і

т.д. і стан i -го розряду регістра Q_i , а для $S+1$ -го моменту часу – тільки відповідний стан i -го розряду регістра Q_i ;

- 3) В кожному рядку отриманої таблиці записують значення функції збудження тригера у відповідності з таблицею його переходів.
- 4) Записати СДНФ функції збудження тригера;
- 5) знайти МДНФ функцій збудження тригера;
- 6) при необхідності перейти від МДНФ отриманих функцій до операторній формі їх представлення в заданому елементному базисі;
- 7) Збудувати функціональну схему регістра.

Загальна логічна структура регістра в даному випадку відповідає рис. 2.1, але тригери не мають тактуючих входів(C).

Приклади ров'язання завдань

Приклад 1. Побудувати КС для виконання мікрооперації Y_3 , коли регістр побудований на асинхронних RS-тригерах. Графічно таблиця переходів RS-тригера показана на рис. 2.3 (тут знаком * відмічені довільні значення R і S).

0	f1=*	f2=0	0	→
0	f1=0	f2=1	1	→
1	f1=1	f2=0	0	→
1	f1=0	f2=*	1	→

Рисунок 2.3 – Таблиця переходів RS-тригера

Оскільки перетворення інформації в i -му розряді регістра при виконанні мікрооперації Y_3 визначається вираженням $Q_i^{S+1} = Q_i^S \& X_i$, аргументами функцій збудження тригера i -го розряду є значення Q_i^S і X_i , а також значення сигналу мікрооперації Y_3 . Заносимо в табл. 6.1 всі комбінації значень Y_3 , X_i , і Q_i^S . При $Y_3 = 0$ в стовпці Q_i^{S+1} для кожного рядка повторюваний значення Q_i^S . Далі (при $Y_3 = 1$) вказаний стовпець заповнюємо у відповідності з виразом $Q_i^{S+1} = Q_i^S \& X_i$. Враховуючи закон переходів RS-тригера (див. рис. 2.3), у

стовпці R_i та S_i отриманої таблиці (табл. 6.1) для кожного рядка записуємо значення функцій збудження, які забезпечують потрібний перехід $Q_i^S \rightarrow Q_i^{S+1}$. Наприклад, для п'ятого рядка перехід $Q_i^S \rightarrow Q_i^{S+1}$ має вигляд $1 \rightarrow 0$. Відповідно з рис. 2.3 отримуємо $R_i = 1$ та $S_i = 0$.

Таблиця 2.1

Таблиця переходів і-го розряду регістра при виконанні мікрооперації Y_3						
№пп	Y_3	X^S	Q^S	Q^{S+1}	R	S
0	0	0	0	0	*	0
1	0	0	1	1	0	*
2	0	1	0	0	*	0
3	0	1	1	1	0	*
4	1	0	0	0	*	0
5	1	0	1	0	1	0
6	1	1	0	0	*	0
7	1	1	1	1	0	*

Після оптимального довизначення функцій $R_i^S (Y_i, X_i, Q_i^S)$ і $S_i^S (Y_3, X_i, Q_i^S)$ і їх мінімізації, виконаній з використанням діаграм Вейча, отримуємо (опускаючи індекси S) :

$$R_i = \overline{Y_3} \cdot \overline{X_i}; S_i = 0.$$

Функціональна схема і-го розряду регістра показана на рис. 2.4. Усі розряди регістра будуються однаково. Якщо в МДНФ функцій збудження тригера і-го розряду в якості аргумента входять стани Q_i , де $i = 1..n$, використовувані тригери повинні мати внутрішню затримку.

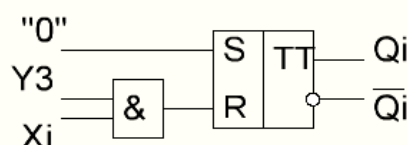


Рис. 2.4 – Функціональна схема і-го розряду регістра для Y_3

Приклад 2. Виконати синтез КС для реалізації мікрооперацій Y_2 та Y_5

на асинхронних тригерах Т-типу.

Порядок перемикання Т-тригера показаний на рис. 2.5.



Функції переходу Т-тригера

Мікрооперація Y_2 полягає в перетворенні виду $Q_i^{S+1} = X_i^S$, тобто аргументами функцій збудження тригерів є значення X_i^S і Y_2 . Складемо таблицю переходів і-го розряду регістра (табл. 2.2). В даному випадку в стовпець Q_i^{S+1} переносимо значення Q_i^S при $Y_2 = 0$ і значення X_i^S при $Y_2 = 1$. СДНФ і МДНФ функції мають вигляд:

$$T_i = Y_2 \cdot \bar{X}_i \cdot Q_i \vee Y_2 \cdot X_i \cdot \bar{Q}_i.$$

Функціональну схему і – ого розряду регістра показано на рис. 2.6.

Таблиця 2.2

Таблиця переходів і-го розряду регістра при виконанні мікрооперації Y_2					
№пп	Y_2	X_i^S	Q^S	Q^{S+1}	T_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	0	0
3	0	1	1	1	0
4	1	0	0	0	0
5	1	0	1	0	1
6	1	1	0	1	1
7	1	1	1	1	0

Таблиця 2.3

Таблиця переходів і-го розряду регістра при виконанні мікрооперації Y_5					
№пп	Y_5	X_i^S	Q^S	Q^{S+1}	T_i
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	0	0
3	0	1	1	1	0
4	1	0	0	0	0
5	1	0	1	1	0
6	1	1	0	1	1
7	1	1	1	0	1

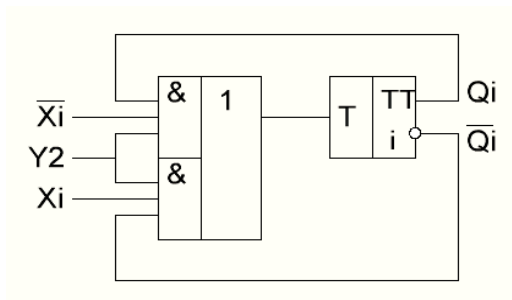


Рис. 2.6 – Функціональна схема i – ого розряду регістра для Y_2

При побудові КС для виконання мікрооперації Y_5 на такому ж регістрі отримаємо таблицю переходів i -го розряду (табл. 2.3), з якої виходить:

$$T_i = Y_5 \cdot \overline{X_i} \cdot Q_i \vee Y_5 \cdot X_i \cdot \overline{Q_i} = Y_5 \cdot X_i.$$

Функціональна схема i -ого розряду регістра, що виконує мікрооперацію Y_5 , зображена на рис. 2.7.

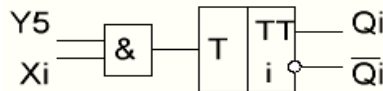


Рис. 2.7 – Функціональна схема i -ого розряду регістра для Y_5

Для регістра, на якому виконується декілька мікрооперацій з використанням однойменних входів тригерів, узагальнені функції збудження тригерів є диз'юнкцією однойменних функцій збудження, що відповідають окремим мікроопераціям. Наприклад, функціональна схема i - го розряду регістра, на якому можна виконувати мікрооперації Y_2 і Y_5 , має вигляд, показаний на рис. 2.8.

Регістри на синхронних тригерах функціонують наступним чином. Спочатку на КС (див. рис. 2.1) подається сигнал (потенціал з рівнем логічної одиниці) мікрооперації Y_i . Потім, коли на інформаційних входах тригерів встановляться значення функцій збудження, що забезпечують необхідне перемикання тригерів, на їх тактуючі входи поступає сигнал синхронізації, під дією якого тригери перемикаються.

Якщо на регістрі виконується тільки одна мікрооперація з використанням тактованих інформаційних входів, змінюється тільки п.2 синтезу КС. В цьому

випадку для створення КС в таблицю переходів i -го розряду регістра не включають значення сигналу мікрооперації Y_i . Цей сигнал подається безпосередньо на тактуючі входи (С) тригерів.

Якщо на регістрі виконуються дві і більше мікрооперацій з використанням однойменних тактованих інформаційних входів, для кожної мікрооперації функції збудження тригерів знаходяться окремо, а диз'юнкція отриманих одноіменних функцій є загальною функцією збудження триггера.

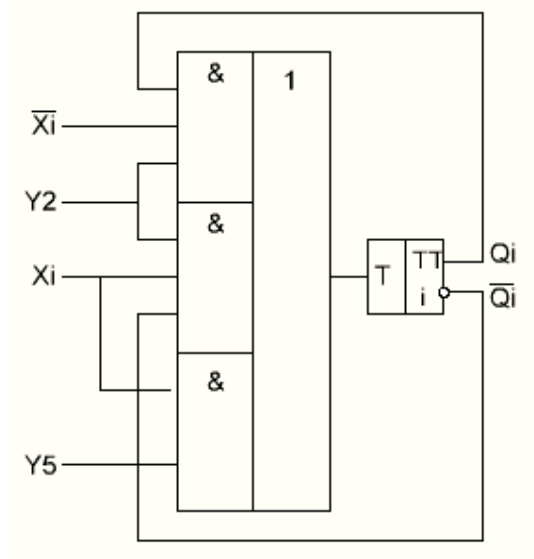


Рис. 2.8 – Функціональна схема i -ого розряду регістра для Y_2 та Y_5

Приклад 3. Виконати синтез КС для реалізації мікрооперації Y_4 на синхронних тригерах JK-типу.

0	f1=0	f2=*	0
→			
0	f1=1	f2=*	1
→			
1	f1=*	f2=1	0
→			
1	f1=*	f2=0	1
→			

Рисунок 2.9 – Таблиця переходів JK-тригера

З урахуванням порядку перемикання JK-тригера (рис. 2.9) складаємо таблицю переходів i -го розряду регістр (табл. 6.4). Після додаткового до визначення та мінімізації функцій J_i та K_i отримуємо $J_i = X_i$ та $K_i = 0$.

Один розряд регістра показаний на рис. 2.10.

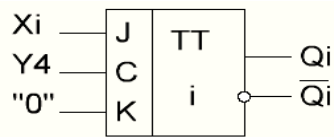


Рис. 2.10 – Функціональна схема i – ого розряду регістра для Y_4

Приклад 4. Побудувати загальні функції збудження для реалізації мікрооперацій зсуву Y_6 на один розряд та Y_7 на два розряди на синхронних тригерах JK-типу.

Для мікрооперації Y_6 за допомогою табл. 2.5 і рис. 2.9 отримуємо:

$$J_i = Y_6 \cdot Q_{i-1}; \quad K_i = Y_6 \cdot \overline{Q_{i-1}}.$$

Таблиця 2.4

Таблиця переходів i -го розряду регістра при виконанні мікрооперації Y_4					
№пп	X_i	Q_i^s	Q_i^{s+1}	J_i	K_i
0	0	0	0	0	*
1	0	1	1	*	0
2	1	0	1	1	*
3	1	1	1	*	0

Таблиця 2.5

Таблиця переходів i -го розряду регістра при виконанні мікрооперації Y_6						
№пп	Y_6^s	Q_{i-1}^s	Q_i^s	Q_i^{s+1}	J_i	K_i
0	0	0	0	0	0	*
1	0	0	1	1	*	0
2	0	1	0	0	0	*
3	0	1	1	1	*	0
4	1	0	0	0	0	*
5	1	0	1	0	*	1
6	1	1	0	1	1	*
7	1	1	1	1	*	0

Для мікрооперації Y_7 у виразах для J_i та K_i значення Q_{i-1} та $\overline{Q_{i-1}}$ варто замінити відповідно на Q_{i+2} та $\overline{Q_{i+2}}$. Диз'юнкція однойменних функцій збудження тригера для мікрооперацій Y_6 та Y_7 дає узагальнені функції i -го розряду проектованого регістра:

$$J_i = Y_6 \cdot Q_{i-1} \vee Y_7 \cdot Q_{i+2}; \quad K_i = Y_6 \cdot \overline{Q_{i-1}} \vee Y_7 \cdot \overline{Q_{i+2}}.$$

Завдання до теми

1. Побудувати чотирирозрядні регістри на синхронних D- і JK-тригерах, кожний із яких призначений для виконання мікрооперацій Y5, Y6, Y8, Y11 з використанням елементів, зазначених у таблиці 2.6. Для отриманої схеми визначити складність.
2. Побудувати шостирозрядний регістр на синхронних тригерах, призначений для виконання мікрооперацій зрушення вліво на N розрядів і вправо на M розрядів за один такт відповідно до таблиці 2.6.
3. Побудувати універсальний чотирирозрядний регістр на JK-тригерах з мікроопераціями запису, зрушення вліво, вправо на 1 розряд, видачі значення в прямому або зворотному коді.

Варіанти індивідуальних завдань

Варіанти індивідуальних завдань, наведені в табл. 2.6.

Контрольні питання

1. Призначення і класифікація регістрів. Вибір елементів пам'яті.
2. Що таке довжина регістра?
3. Мікрооперації, що можуть виконуватися на регістрах.
4. Етапи синтезу комбінаційних схем для виконання на регістрах окремих мікрооперацій.
5. Етапи побудови комбінаційних схем для виконання на регістрах декількох мікрооперацій.
6. Отримання функцій збудження тригерів для регістрів, який виконує декілька мікрооперацій.
7. В яких випадках для побудови регістрів потрібно використовувати синхронні тригери та тригери з внутрішньою затримкою?
8. В чому схожість мікрооперацій запису та зсуву інформації?
9. Якими параметрами характеризуються регістри ?
10. Таблиці переходів RS-, JK-, T-, D- тригерів.

Таблиця 2.6

Номер варіанта	Для завдання 1	Для завдання 2		
	Тип елементів	Тип тригерів	М	N
1	2І-НІ	JK	1	2
2	3І, 2АБО, НІ	D	2	1
3	3АБО-НІ	JK	1	3
4	2І, 3АБО, НІ	D	3	1
5	2АБО-НІ	JK	1	4
6	3І, НІ	D	4	1
7	2І-НІ	JK	2	3
8	2І, 2АБО, НІ	D	3	2
9	3АБО-НІ	JK	2	4
10	3І-НІ	D	4	2
11	3І, 2АБО, НІ	JK	3	4
12	2АБО-НІ	D	4	3
13	2І-НІ	JK	2	1
14	3І, 2АБО-НІ	D	1	2
15	2АБО-НІ	JK	3	1
16	3АБО-НІ	D	1	3

ЛАБОРАТОРНА РОБОТА № 8.

ПРОЕКТУВАННЯ ТА ДОСЛІДЖЕННЯ ЛІЧИЛЬНИКІВ НА ПОТЕНЦІЙНИХ ЕЛЕМЕНТАХ

Мета: Вивчення різних типів лічильників на потенційній елементній базі й оволодіння методами їх проектування.

Короткі теоретичні відомості

Лічильником називають послідовну схему, призначену для виконання мікрооперації підрахунку одиниць і зберігання слів. Кількість дозволених

станів лічильників називають його періодом, модулем або коефіцієнтом перерахунку K . Лічильники із спеціальними міжрозрядними зв'язками класифікуються за різними ознаками.

За характером мікрооперації рахунку лічильники підрозділяються на підсумовуючи, віднімаючи, реверсивні. При надходженні рахункового сигналу X вміст лічильника, що підсумовує, збільшується на 1, а що віднімає - зменшується на 1. Реверсивний лічильник може виконувати мікрооперації підсумовування і віднімання залежно від значення сигналу на вході Y (наприклад, при $Y = 1$ виконується підсумовування, а при $Y = 0$ - віднімання).

Залежно від основи системи числення, в якій здійснюється мікрооперація рахунку, розрізняють, наприклад, двійкові, двійково - п'ятиричні, двійково - десяткові лічильники і так далі.

Лічильники класифікуються і за схемними ознаками. Для побудови лічильників в потенційній елементній базі застосовуються переважно синхронні тригери з внутрішньою затримкою, що дозволяє використати на один розряд двійкового лічильника один тригер.

Лічильники бувають асинхронні і синхронні. У асинхронних лічильниках на тактуючі входи синхронних тригерів або на інформаційні входи асинхронних поступають сигнали з виходів сусідніх тригерів (можливо через логічні елементи). Тригери в таких лічильниках спрацьовують не одночасно, оскільки перемикання одних тригерів починається тільки після зміни стану інших. У синхронних же лічильниках усі тригери перемикаються одночасно під дією загального синхронізуючого сигналу, що поступає на тактуючі входи усіх тригерів одночасно.

За способом організації ланцюгів перенесення (позики) між розрядами лічильники підрозділяються на наступні типи: з послідовним, з наскрізним, з паралельним і груповим перенесенням.

Приклади ров'язання завдань

Приклад 1. Побудувати загальну схему лічильника з послідовним перенесенням в сусідній розряд. На рис. 3.1, а показана функціональна схема n -

розрядного лічильника з послідовним перенесенням, що підсумовує, побудованого на синхронних Т-тригерах, які перемикаються по задньому фронту тактуючого сигналу. У цьому тригері сигнал переносу формується тільки після перемикання тригера в попередньому розряді, тобто такі лічильники асинхронні.

Лічильники з іншою організацією ланцюгів перенесень будуються за синхронним принципом. У лічильниках з паралельним перенесенням аргументами функцій перенесень для кожного розряду є тільки сигнали на виходах тригерів відповідних розрядів. Перенесення для усіх розрядів лічильника формуються одночасно(за умови, що усі логічні елементи в схемі мають однаковий час перемикання).

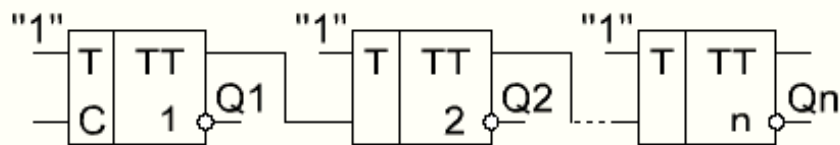


Рис. 3.1 – Функціональна схема n лічильника з послідовним перенесенням

Ланцюги наскрізного перенесення організуються так, щоб функція перенесення i-го розряду лічильника була аргументом функції перенесення i+1-го розряду. В цьому випадку сигнали перенесень для кожного розряду лічильника формуються по черзі, починаючи з молодших. Лічильники з наскрізним перенесенням вимагають меншого числа логічних елементів організації ланцюгів перенесення, але поступаються лічильникам з паралельним перенесенням в швидкодії.

У лічильниках з груповим перенесенням розряди розбиваються на групи(наприклад, n розрядів розбиваються на m груп). В межах однієї групи зазвичай організовується паралельний перенесення, а між групами – послідовний або наскрізний.

Якщо мікрооперація рахунку одиниць виконується в канонічній двійковій системі числення(у однорідній позиційній двійковій системі числення з природним порядком ваг) і лічильник має 2^n дозволених станів, він називається лічильником з природним порядком рахунку по модулю 2.

На рис. 3.2 зображена узагальнена структура синхронного лічильника на Т-тригерах (КС – комбінаційна схема, що формує сигнали перенесень f_i , які поступають на рахункові входи і-х тригерів).

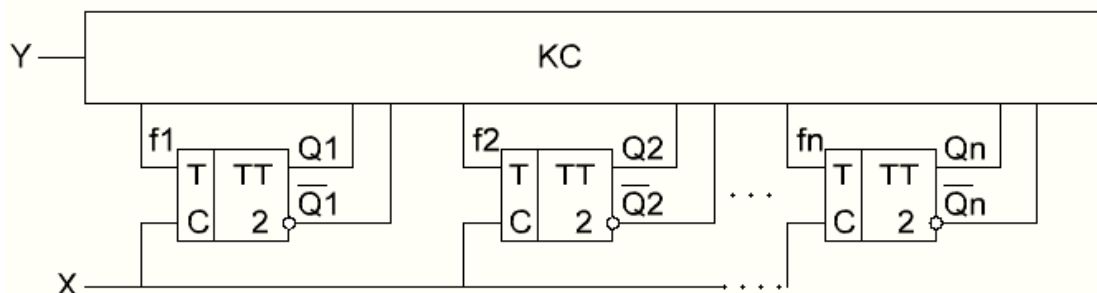


Рисунок 3.2 – Узагальнена структура синхронного лічильника

У JK-тригерах рахунковий вхід організовується з'єднанням входів J і K.

Приклад 2. Побудувати чотирирозрядний лічильник, що підсумовує, з паралельним переносом на Т-тригерах.

Стани чотирирозрядного лічильника з природним порядком рахунку приведені в таблиці. 3.1.

Якщо мікрооперація рахунку виконується в неканонічних системах(наприклад, символічних, з штучним порядком вагів і так далі), порядок рахунку вважається штучним.

З таблиці. 3.1 видно, що стани лічильників повторюються з періодом $2n$. Для скорочення таблиць станів в них заносяться тільки стани для одного періоду.

Таблиця 3.1 – Таблиця стану лічильника з природним порядком рахунку

Кількість сигналів лічильника	Стан лічильника	
	Підсумовуючого	Віднімаючого
0	0000	0000
1	0001	1111
2	0010	1110
3	0011	1101

4	0100	1100
5	0101	1011
6	0110	1010
7	0111	1001
8	1000	1000
9	1001	0111
10	1010	0101
11	1011	0101
12	1100	0100
13	1101	0011
14	1110	0010
15	1111	0001
16	0000	0000
17	0001	1111
18	0010	1110
19	0011	1101
...

Перемикання тригера молодшого розряду здійснюється з приходом кожного наступного сигналу, а інших тригерів – тільки у тому випадку, коли усі тригери молодших розрядів встановлені в 1 (лічильник, що підсумовує) або в 0 (віднімаючий лічильник). Отже, для лічильників, що підсумовують, з природним порядком рахунку по модулю 2^n , що мають ланцюги паралельного перенесення, можна записати функції перемикачів f_i :

$$f_i = Q_1 \cdot Q_2 \cdot \dots \cdot Q_{i-1}, (i = \overline{2, n});$$

для віднімаючих лічильників:

$$f_i = \overline{Q_1} \cdot \overline{Q_2} \cdot \dots \cdot \overline{Q_{i-1}}, (i = \overline{2, n});$$

а для реверсивних:

$$f_i = Q_1 \cdot Q_2 \cdot \dots \cdot Q_{i-1} \cdot Y \vee \overline{Q_1} \cdot \overline{Q_2} \cdot \dots \cdot \overline{Q_{i-1}} \cdot \overline{Y}, (i = \overline{2, n});$$

Для всіх типів лічильників $f_1 = 1$.

Виходячи з отриманих формул можна побудувати схему чотирирозрядного підсумовуючого лічильника з паралельним перенесенням на Т-тригерах.

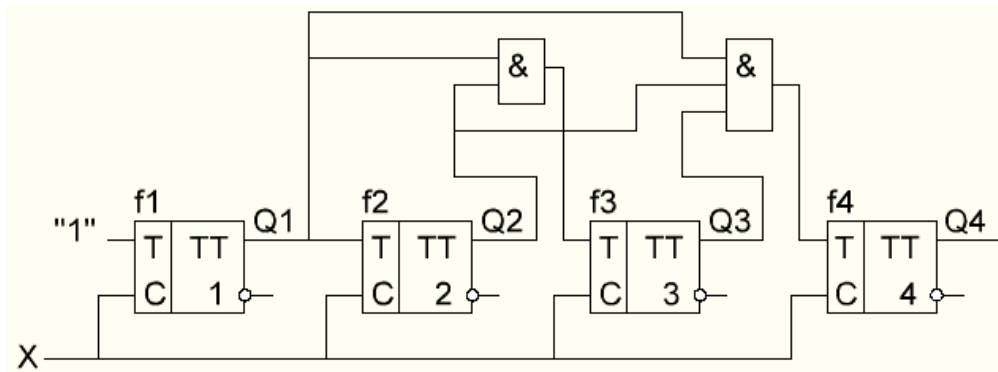


Рисунок 3.3 – Схема чотирирозрядного підсумовуючого лічильника з паралельним перенесенням

Приклад 3. Побудувати чотирирозрядний реверсивний лічильник з наскрізним перенесенням на JK-тригерах.

Для отримання функцій для лічильників з наскрізним переносом запишемо відповідні функції з попереднього прикладу таким чином:

$$f_i = f_{i-1} \cdot Q_{i-1}, \quad (i = \overline{2, n});$$

$$f_i = f_{i-1} \cdot \overline{Q_{i-1}}, \quad (i = \overline{2, n});$$

$$f_i = f'_i \vee f''_i, \quad (i = \overline{2, n});$$

де

$$f_i = 1, f'_2 = Q_1 \cdot Y, f''_2 = \overline{Q_1} \cdot \overline{Y}, f'_i = f_{i-1} \cdot Q_{i-1}, f''_i = f'_{i-1} \cdot \overline{Q_{i-1}} \quad (i = \overline{3, n}).$$

Виходячи з цього отримуємо схему реверсивного лічильника на JK-тригерах, що працюють в режимі Т-тригера з наскрізним перенесенням.

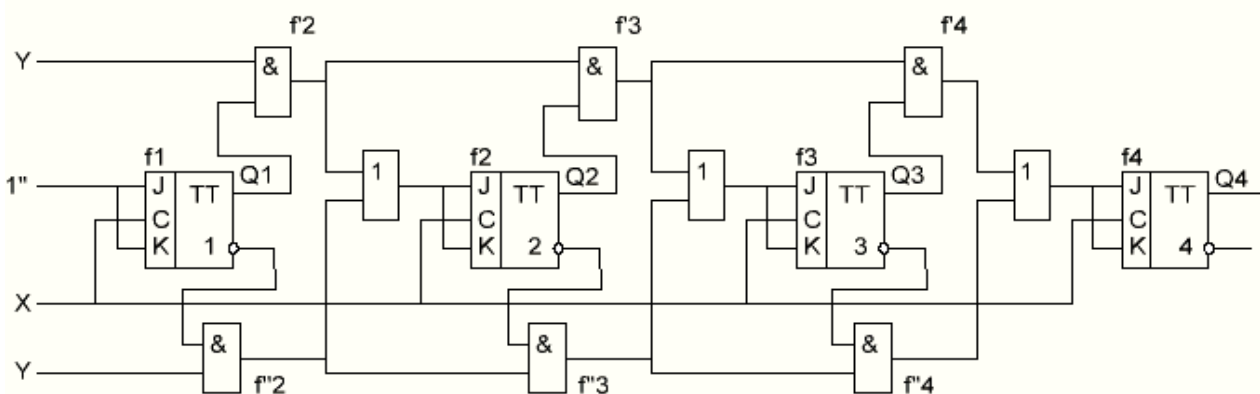


Рисунок 3.4 – Схема чотирирозрядного реверсивного лічильника з наскрізним перенесенням

Приклад 4. Побудувати підсумовуючий лічильник з довільним коефіцієнтом перерахунку $K=6$, робота якого задається таблицею 3.2. на Т-тригерах.

Синхронні лічильники з довільним коефіцієнтом перерахунку K і будь-яким порядком рахунку можна побудувати таким чином:

1) визначити число розрядів n лічильника

$$n = \lceil \log_2 K \rceil,$$

де $\lceil \log_2 K \rceil$ – ціле, не менше $\log_2 K$;

Таблиця 3.2

Номер набору j	Стан лічильника		
	Q_3^S	Q_2^S	Q_1^S
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	1	0
5	1	1	1

2) вибрати тип тригерів і визначити комбінації інформаційних сигналів, що забезпечують перемикання тригерів з одного стану в інший;

3) скласти таблицю переходів лічильника, записавши у відповідні стовпці в кожному рядку коди станів лічильника до вступу чергового рахункового сигналу (S -й момент часу); і після його надходження ($S+1$ -й момент часу); наприклад, в 0-му рядку для

S -го моменту часу записати значення Q_i^S сигналів на виходах тригерів в початковому стані, а для $S+1$ -го- значення після надходження першого рахункового сигналу; вміст стовпців Q_i^{S+1} 0-го рядка перенести в стовпці Q_i^S 1-го рядка, а в стовпці Q_i^{S+1} цього рядка записати значення виходів тригерів після вступу чергового (в даному випадку другого) рахункового сигналу і так далі;

4) для кожного i -го розряду лічильника записати в кожному, j -ому рядку таблиці значення сигналів інформаційних входів f_i тригера (функції збудження тригера), що забезпечують перемикання тригера із стану Q_i^S в стан Q_i^{S+1} , відповідно до таблиці його переходів;

- 5) записати СДНФ функцій f_i , аргументами яких є значення $Q_n^S, Q_{n-1}^S, \dots, Q_1^S$;
- 6) отримати МДНФ функцій f_i ;
- 7) при необхідності перейти до операторної форми представлення функцій f_i у заданому елементному базисі;
- 8) побудувати функціональну схему лічильника.

Для побудови заданого лічильника відповідно до п.1 знаходимо $n = \lceil \log_2 6 \rceil = 3$. Після виконання пп. 3 та 4 отримуємо таблицю переходів лічильника (табл. 3.3). Наприклад, для нульового рядка значення T_1, T_2 та T_3 визначені наступним чином. Переходи $Q_1^S \rightarrow Q_1^{S+1}, Q_2^S \rightarrow Q_2^{S+1}, Q_3^S \rightarrow Q_3^{S+1}$ мають відповідний вид $0 \rightarrow 1, 0 \rightarrow 0$ та $0 \rightarrow 0$.

Таблиця 3.3 - Таблиця переходів лічильника з $K = 6$.

Номер набору j	Стан лічильника						Функції збудження тригера		
	Q_3^S	Q_2^S	Q_1^S	Q_3^{S+1}	Q_2^{S+1}	Q_1^{S+1}	T_3	T_2	T_1
0	0	0	0	0	0	1	0	0	1
1	0	0	1	0	1	1	0	1	1
2	0	1	0	0	0	1	0	0	1
3	0	1	1	1	0	1	1	0	1
4	1	1	0	0	0	1	0	0	1
5	1	1	1	1	1	1	1	1	1

З рис. 2. 5 для Т-тригера отримуємо $T_1 = 1, T_2 = 0$ та $T_3 = 0$. Записуємо СДНФ функцій T_i :

$$T_1 = 1;$$

$$T_2 = \overline{Q_3^S} \cdot \overline{Q_2^S} \cdot \overline{Q_1^S} \vee Q_3^S \cdot Q_2^S \cdot Q_1^S;$$

$$T_3 = \overline{Q_3^S} \cdot Q_2^S \cdot Q_1^S \vee Q_3^S \cdot Q_2^S \cdot Q_1^S.$$

Після мінімізації функцій, опускаючи індекси S отримуємо:

$$T_1 = 1;$$

$$T_2 = Q_3^S \cdot Q_1^S \vee \overline{Q_2^S} \cdot Q_1^S;$$

$$T_3 = Q_2^S \cdot Q_1^S.$$

Функціональну схему лічильника зображено на рис. 3.5.

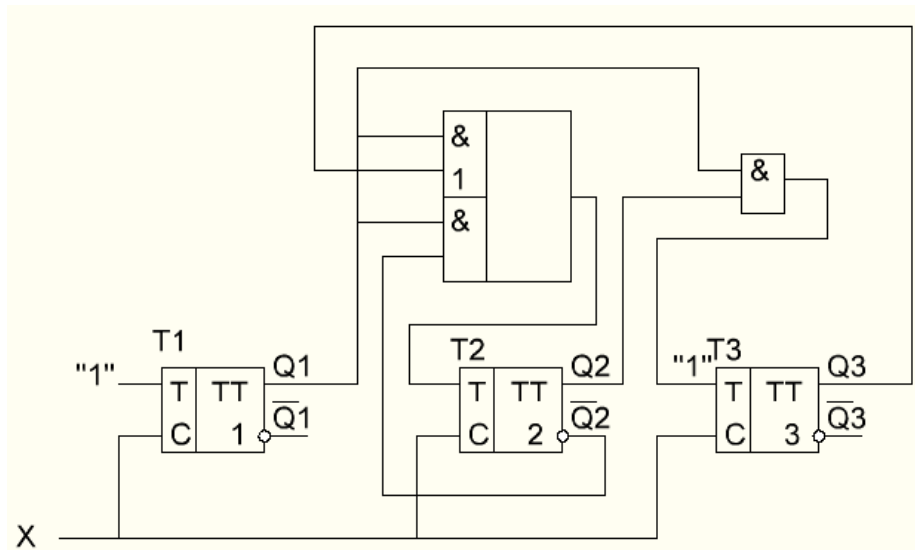


Рисунок 3.5 – Функціональна схема лічильника з $K = 6$.

Приклад 5. Побудувати підсумовуючий лічильник з довільним коефіцієнтом перерахунку $K=6$, робота якого задається таблицею 3.2 методом виключення надлишкових станів.

При великій розрядності лічильників розглянутий метод становиться дуже трудомістким, при надходженні МДНФ функцій збудження тригерів.

Для побудови лічильників з коефіцієнтом перерахунку $K \neq 2^n$ можливо скористатись методом виключення надлишкових станів, який мало критичний до величини n , але потребує канонічної двійкової системи числення. Для побудови лічильника необхідно:

- 1) Визначити число розрядів n лічильника:

$$n = \lceil \log_2 K \rceil,$$

де $\lceil \log_2 K \rceil$ - ціле, не менше $\log_2 K$;

- 2) вибрати тип лічильника (що підсумовує або віднімає), спосіб організації перенесень і записати функції f_i ($i = \overline{1, n}$), для лічильників з порядком рахунку по модулю 2^n ;

- 3) скласти таблицю станів n -розрядного лічильника з природним порядком рахунку по модулю 2^n ;

4) виключити з таблиці $2^n - K$ станів, що йдуть підряд;
5) стани, передуючі штучному переходу, природного переходу і штучного переходу позначити відповідно А, В і С;

б) заповнити скорочену таблицю переходів лічильника, записавши відповідні значення Q_i (0 або 1) для станів А, В і С;

7) визначити і записати в скорочену таблицю функції переносів в і-ті розряди проектованого лічильника (f_i) по наступному правилу:

а) якщо в і-му рядку скороченої таблиці переходів значення Q_i співпадають для станів В і С, то

$$f^*_i = f_i;$$

де f^*_i - функція перенесення в і-й розряд лічильника з природнім порядком рахунку по модулю 2^n ;

б) якщо в і-му рядку таблиці значення Q_i , - не співпадають для станів В і С, але співпадають для станів А і В, то

$$f_i = f_i \vee f_a;$$

де f_a - конституента одиниці, що відповідає стану А (наприклад, при А = 0101 отримаємо $f_a = \overline{Q_4} \cdot Q_3 \cdot \overline{Q_2} \cdot Q_1$;

в) якщо в і-му рядку таблиці значення Q не співпадають як для станів В і С, так і для станів А і В, то

$$f^*_i = f_i \vee f_a;$$

8) перейти при необхідності до операторної форми представлення перемикачів функцій f_i і f_a в заданому елементному базисі.

9) побудувати функціональну схему лічильника на рахункових тригерах заданого типу.

Якщо в лічильниках виключаються останні $2^n - K$ станів (наприклад, в лічильнику, що підсумовує, рахунок розпочинається з нуля, закінчується числом $K - 1$), то вони є лічильниками з природнім порядком рахунку по модулю K . При виключенні інших станів природний порядок рахунку порушується. В цьому випадку(наприклад, для лічильника, що підсумовує)

число рахункових сигналів, що поступають, не відповідає числовому еквіваленту коду суми по модулю K даної кількості одиниць.

Для вирішення нашої задачі відповідно до п.1 приведеної процедури $n = \lceil \log_2 6 \rceil = 3$

Вибираємо паралельний спосіб формування перенесень і записуємо функції f_i ($i = \overline{1,3}$) для лічильника, що підсумовує, з природним порядком рахунку.

$$f_1 = 1, f_2 = Q_1, f_3 = Q_1 Q_2.$$

Складаємо таблицю станів трьохрозрядного лічильника (табл. 3.4) і виключаємо з неї два стани ($2^3 - 6 = 2$), коди яких відмічені зірочкою.

Стан 011 позначимо А, стан 100 - В і 110 - С.

Заповнюємо скорочену таблицю переходів лічильника (табл. 3.5) і знаходимо функції f_1, f_2 і f_3 . В 1-му і 3-му рядку табл. 7.7 значення Q_i для стану В і С співпадають. Отже $f^*_1 = f_1$ і $f^*_3 = f_3$.

У 2-у рядку значення Q_i не співпадають ні для станів В і С, ні для станів А і В. У відповідності з правилом (див. п. 7) отримуємо $f^*_2 = f_2 \overline{f_a}$, де $f_a = \overline{Q_2} \cdot Q_1$.

Таблиця 3.4 - Таблиця станів лічильника з $K = 6$.

Кількість рахункових імпульсів	Стан лічильника			
	Q3	Q2	Q1	
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	А
4	*1	0	0	В
5	*1	0	1	
6	1	0	0	С

Таблиця 3.5 – Скорочена таблиця переходів лічильника з $K = 6$.

i	Qi	Стан лічильника			f*
		A	B	C	
1	Q ₁	1	0	0	f* ₁ = 1
2	Q ₂	1	0	1	f* ₂ = f ₂
3	Q ₃	0	1	1	f* ₃ = f ₃

Функціональну схему лічильника показано на рис. 3.6. Для установки лічильників в початковий стан перед виконанням мікрооперації рахунку використовуються зазвичай асинхронні входи тригерів R- і S-. На рис. 3.6 ланцюг установки нульового стану лічильника показано пунктирною лінією.

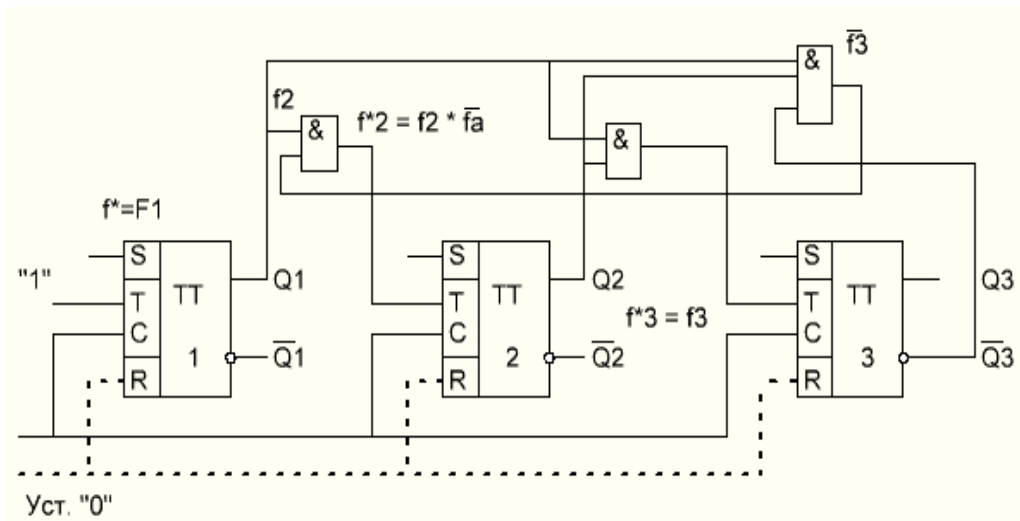


Рисунок 3.6 – Функціональна схема лічильника з $K = 6$, побудованого методом виключення надлишкових станів.

Якщо мікрооперація рахунку виконується в двійково - кодованій системі числення (двійково - п'ятірковою, двійковоо - десяткової і так далі), то для побудови одного розряду лічильника необхідно не менше $n = \lceil \log_2 K \rceil$ двійкових тригерів, де K – основа системи числення, цифри якими кодуються двійковий код. Наприклад для побудови одного розряду десяткового лічильника потребуються не менше чотирьох двійкових тригерів. Таким чином, один розряд K – ічного лічильника є двійковим лічильником з коефіцієнтом перерахунку K , який виконує мікрооперацію рахунку у відповідності з існуючим кодом.

Завдання до теми

Виконати проектування лічильників згідно номеру у журналі групи – N.

Варіанти індивідуальних завдань

1. Побудувати наступні асинхронні лічильники з природним порядком рахунку для $n = \text{залишок}(N/4)+2$ на синхронних T - тригерах:

- лічильник, що підсумовує, з наскрізним переносом;
- лічильник, що віднімає, з послідовним переносом;
- реверсивний лічильник із наскрізним переносом,
- реверсивний лічильник з послідовним переносом.

Для кожного лічильника записати перемикальну функцію переключення (займу) у i-й розряд. Побудувати часову діаграму роботи лічильників.

2. Побудувати лічильники на JK- і D - тригерах, що у процесі рахунку змінюють свої стани відповідно до таблиці 3.6. Лічильники повинні мати ланцюги установки початкового стану $000h_1$. Для одержання значень h_i необхідно записати в двійковій системі числення число $2N$, де N – номер варіанту за списком. Наприклад, це цифри 10110, тоді, $h_1=0$, $h_2=1$, $h_3=1$, $h_4=0$, $h_5=0$.

Таблиця 3.6

Кількість сигналів		0	1	2	3	4	5	6	7	8	9
Стан лічильника	Q_0	h_1	0	1	0	1	0	h_2	h_3	h_4	h_5
	Q_1	0	1	1	0	0	1	0	1	0	1
	Q_2	0	0	0	1	1	1	0	0	1	1
	Q_3	0	0	0	0	0	0	1	1	1	1

3. Побудувати підсумовуючий лічильник із наскрізним переносом і природним порядком рахунку по модулю $64 - N$ на JK- тригерах, що працюють у режимі T-тригера. N - номер варіанту за списком.

4. Використовуючи метод декомпозиції, побудувати дворозрядний віднімаючий лічильник на JK-тригерах із груповим переносом, де кожен

розряд лічильника являє собою двійковий лічильник із наскрізним переносом і природним порядком рахунку по модулю $N+8$.

Контрольні питання

1. Призначення, типи і області використання лічильників.
2. Класифікація лічильників за режимами роботи, порядком зміни стану, організацією ланцюгів переносу.
3. Визначення коефіцієнту перерахування, інформаційної ємкості, максимальної швидкодії та дозволяючої спроможності лічильників.
4. Порядок формування функцій перенесення в i -ий розряд лічильника з природним порядком рахунку.
5. Основні етапи проектування лічильників з довільною зміною стану.
6. Проектування лічильників методом виключення надлишкових станів.
7. Способи побудови двійково - п'ятіркових та двійковоо – десяткових лічильників.

2. КРИТЕРІЇ ОЦІНЮВАННЯ ЗНАНЬ СТУДЕНТІВ

У 2-ому семестрі студенти виконують 9 лабораторних робіт. Загальна кількість балів, яку отримують студенти за виконання лабораторних робіт, становить 45 балів – сума за захист виконаних лабораторних робіт (максимально по 5 балів за кожен лабораторну роботу).

Таблиця відповідності результатів контролю знань за різними шкалами і критерії оцінювання

Сума балів за 100-бальною шкалою	Оцінка в ECTS	Значення оцінки ECTS	Критерії оцінювання	Рівень компетентості	Оцінка за національною шкалою
					іспит, диференційований залік
90-100	A	Відмінно	Студент виявляє особливі творчі здібності, уміє самостійно здобувати знання, без допомоги викладача знаходить та опрацьовує необхідну інформацію, уміє використовувати набуті знання і вміння для прийняття рішень у нестандартних ситуаціях, переконливо аргументує відповіді, самостійно розкриває власні обдарування і нахили	Високий (творчий)	Відмінно
82-89	B	Дуже добре	Студент вільно володіє вивченим обсягом матеріалу, застосовує його на практиці, вільно розв'язує вправи і задачі у стандартних ситуаціях, самостійно виправляє допущені помилки, кількість яких незначна	Достатній (конструктивно - варіативний)	Добре
74-81	C	Добре	Студент уміє зіставляти, узагальнювати, систематизувати інформацію під керівництвом викладача; у цілому самостійно застосовувати її на практиці; контролювати власну діяльність; виправляти помилки, серед яких є суттєві, добирати аргументи		

			для підтвердження думок		
64-73	D	Задовільно	Студент відтворює значну частину теоретичного матеріалу, виявляє знання і розуміння основних положень; за допомогою викладача може аналізувати навчальний матеріал, виправляти помилки, серед яких є значна кількість суттєвих	Середній (репродуктивний)	Задовільно
60-63	E	Достатньо	Студент володіє навчальним матеріалом на рівні, вищому, ніж початковий, значну частину його відтворює на репродуктивному рівні		
35-59	FX	Незадовільно з можливістю повторного складання семестрового контролю	Студент володіє матеріалом на рівні окремих фрагментів, що становлять незначну частину навчального матеріалу	Низький (рецептивно-продуктивний)	Незадовільно
1-34	F	Незадовільно з обов'язковим повторним вивченням залікового кредиту	Студент володіє матеріалом на рівні елементарного розпізнання і відтворення окремих фактів, елементів, об'єктів		

СПИСОК ЛІТЕРАТУРИ

Основна

1. Лупенко С. А. Комп'ютерна логіка /С. А. Лупенко В. В., Пасічник Є. В., Тиш. – Львів : Видавництво «Магнолія-2006», 2021. – 354 с.
2. Матвієнко М. П. Комп'ютерна логіка. Підручник. Вид. 2-ге перероб. та доп. – Київ : Видавництво Ліра-К, 2020. – 324 с. 2.
3. Жабін В. І. Комп'ютерна логіка. Практикум [Електронний ресурс] : навчальний посібник для студентів спеціальності 123 «Комп'ютерні системи та мережі», спеціалізацій «Комп'ютерні системи та мережі» та «Технології програмування для комп'ютерних систем та мереж» / КПІ ім. Ігоря Сікорського ; уклад.: В. І. Жабін, І. А. Клименко, В. В. Ткаченко. – Електронні текстові данні (1 файл: 1,19 Мбайт). – Київ : КПІ ім. Ігоря Сікорського, 2019. – 98 с.
4. Лахно В.А. Комп'ютерна логіка [навчальний посібник] / В.А.Лахно, Б.С. Гусєв, Д.Ю. Касаткін. – К.: вид-во КОМПРІНТ, 2018.– 422с.
5. M. Morris Mano Digital Logic and Computer Design. Publisher: Pearson, 2017. – 624 с.
6. Лапко В.В. Комп'ютерна схемотехніка та логіка [навчальний посібник] / В.В.Лапко, Б.С. Гусєв, Д.Ю. Касаткін, В.В. Смолій, А.І. Блозва, Т.Ю. Осипова, Ю.В. Матус, Я.А. Савицька. – К.: НУБіП України, 2017.– 291с.

Додаткова

7. Биков М. М. Дискретний аналіз і теорія автоматів : навчальний посібник / М. М. Биков, В. Д. Черв'яков. – Суми : Сумський державний університет, 2016. – 354 с.
8. Кудерметов Р.К. Прикладна теорія цифрових автоматів. Навчальний посібник. / Р.К. Кудерметов, А.М. Щербаков, С.С. Грушко. – Запоріжжя: ЗНТУ, 2009 - 216 с.
9. Комп'ютерна дискретна математика. / М. Ф. Бондаренко, Н. В. Білоус, А. Г. Руткас– Харків: Компанія СМІТ, 2004. – 480 с.

Методичні вказівки щодо виконання лабораторних робіт з навчальної дисципліни «Комп'ютерна логіка» для студентів денної та заочної форм навчання зі спеціальності 123 – «Комп'ютерна інженерія» освітнього ступеня «Бакалавр» (Частина 2)

Укладач ст. викл. Юдіна А. Л.

Відповідальний за випуск зав. каф. КІЕ Перекрест А. Л.

Підп. до др. _____. Формат 60x84 1/16. Папір тип. Друк ризографія.
Ум. друк. арк. _____. Наклад _____ прим. Зам. № _____. Безкоштовно.

Редакційно-видавничий відділ
Кременчуцького національного університету
імені Михайла Остроградського
вул. Університетська, 20 м. Кременчук, 39600